

データフロー型のメニーコアを活用するコンパイラを製品化

高機能命令やコア間通信・同期に必要なコードも生成

株式会社トプシステムズは、データフロー型の超高速処理を得意とする SMYLEvideo (Gen-2) メニーコア（注1）用のコンパイラを製品化しました。

メニーコアは、マイクロプロセッサの発展におけるブレークスルーとして注目されており、256 コアを超えるメニーコアが製品化されている一方、メニーコアを活用するための適切な並列処理の設計が困難なため、アプリケーションが限られています。特に、高機能命令や、並列処理特有のコア間通信やコア間の同期を含めて、コンパイラにより最適なコード生成することは困難でした。

今回、トプシステムズ社は、データフロー型の分散並列処理とコア間通信機構（独自特許技術）を活用した SMYLEvideo(Gen-2)メニーコアを活用するための VPPL コンパイラ(注2)の開発に成功しました。

VPPL コンパイラは、SMYLEvideo(Gen-2)メニーコアの各プロセッサ・コアに搭載する高機能のデータ処理命令、コア間レジスタ共有機構、ZOMP 機構を活用した性能の高いコードを生成することができます。

これにより、画像フィルタなどのオーバーラップのある処理をコンパイラにより実装した場合にも、複数のコアで並列処理しながらも最少のメモリアクセス量（入力画像のピクセルは全体で1回だけ読まれ、出力画像のピクセルは全体で1回だけ書かれる）を達成しました。

なお、本技術は SMYLEvideo(Gen-2)メニーコア用に VPPL コンパイラとして提供していきます。

注1：SMYLEvideo(Gen-2) メニーコア

トプシステムズ社の開発したデータフロー型の並列処理を得意とし、高度な並列処理を効率よく実行可能な新しいタイプのメニーコア・プロセッサ。コア数を増加することで、ほぼリニアに性能を向上可能なため、ローエンドからハイエンドまでスケラブルな応用が可能な新世代の計算プラットフォーム。

注2：VPPL コンパイラ

トプシステムズ社の開発した SMYLEvideo(Gen-2)メニーコア用のコンパイラ。SMYLEvideo(Gen-2)特有の高機能命令や、プロセッサ・コア間の通信・同期機構を活用したコードを実装することができます。

開発の背景

コンピュータや電子機器の中核技術であるマイクロプロセッサの分野においては、2000年に入って動作周波数の向上が頭打ちになり、ソフトウェアは改良しなくても、CPUの動作周波数の向上によりシステムの性能向上する、所謂「フリーランチ」に頼ることができなくなりました。CPUのマルチコア化、そしてメニー

コア化にともない、これらを活用するためのソフトウェアの並列化・最適化技術が注目されています。

特に、高い処理性能が必要な自動運転やロボットの画像処理やディープラーニング等の人工知能処理においては、必要な計算量は PC 数十台分から数百台分にもなるため、メニーコアを活用する並列処理ソフトウェアを実装可能なコンパイラが必要とされています。

そのようなコンパイラの実現により、次世代人工知能などの高度な情報処理が可能となり、新たな価値の創造やビジネス領域の開拓につながることを期待されています。

■ 課題

マルチコアやメニーコアを活用するコンパイラは、技術者の手に頼らずに、ソフトウェアを分析して最適な並列処理が可能なコードを生成すること処理速度を向上する強力な手法であり、マイクロプロセッサ発展のブレークスルーとして注目されていますが、現状では GPU に代表されるように、繰り返し処理の多い、いわゆるデータ並列性が高い画像処理や科学技術計算などで、且つ C 言語等で素直に記述されたソースコードにしか有効に適用できていません。

特に、自動運転やロボットなどコンピュータ・ビジョン・システムに搭載されている画像センサーから取得される時系列画像に対する処理において、メモリに格納された画像に対するアクセスを抑えつつ、高機能命令を活用した高速処理と、メニーコアによるコア間通信及び同期を最適化したコードを生成するコンパイラを実現することは困難でした。

■ 開発した技術

1. ネイティブな複数プロセス、複数コア・プログラミング。

通常のスレッド・プログラミングと異なり、複数のコアがそれぞれ別々のプログラムとコア独自のリソースを使って並列に処理を行いつつ、相互にデータを通信しあって連携している状態を簡単に記述できます。

2. ハードウェアによるコア間通信機構 ZOMP を使ったコア間通信

通常のスレッド・プログラミングでは、共有リソースに関するスレッド間の同期処理は面倒なソフトウェア機構を介したものでした。そしてそのオーバーヘッドも大きなものでした。これに対してハードウェアが同期を管理する ZOMP 機構を活用することで、最速 0 サイクルと同期処理のオーバーヘッドがまったくなく処理を先に進めることも可能としています。また、プログラミング的には保護すべき共有リソースを含むブロックを明示するだけと従来あった難しい考慮は必要ありません。

3. SIMD 型の演算命令を活用するネイティブなベクトル演算

ネイティブなベクトル型のサポートにより、最大512要素までのベクトル演算を最速16サイクルという高速でループを使わずに処理できるオブジェクトコードが得られます。(それを超えるベクトル長さにはループが必要です。) また、ベクトル型のメモリとのやり取りは、ストリーム型の入出力命令と大容量のベクトルレジスタを活用してメモリアクセスが最小となるように最適化しています。さらに、通常はコア内部のきわめてローカルなレジスタへの他コアからのアクセスを可能とするメカニズムをサポートしました。この機構によりベクトル型データを一つのコアから他のコアへメモリを介さず直接受け渡すことが可能となり、高速化と省メモリアクセスに貢献しています。

■ 効果

エッジ検出等を行うラプラシアン・フィルタについて、SMYLEvideo(Gen-2)メニーコアの4つのプロセッサ・コア(QVP(Quad Vision Processor):256-bitのデータ幅)を用いるコードをVPPLコンパイラを用いて実装した場合に、最少のメモリアクセス量を達成しました。メモリに格納された入力画像の各ピクセルは1回のみ読まれ、出力画像の各ピクセルは1回のみメモリに書かれます。尚、QVPのうちコア0はラプラシアンフィルタ処理、コア1はピクセル反転処理、コア2は転送処理、コア3はピクセル反転処理を担当しています。

コア間通信にはレジスタ共有機構を活用し、通信チャネルとして各コアのレジスタファイル内に3段のFIFOを実装して、画像上の「重複」する領域のピクセル・データを隣のコアから受け取ることで、メモリアクセスを最少にしています。

また、コア数を増やしてもメモリアクセスを増やさずにすむため、コア数の増加により処理性能をほぼリニアに増加させることができるため、超高性能を容易に実現する方式として、その応用が期待されます。

本技術により、メニーコア技術の適用範囲が自動運転やロボット向けのカメラモジュール等の小型で低消費電力が求められる高性能画像認識システムにまで広がります。

VPPLコンパイラにより、複雑な並列処理ソフトウェアの実装が容易になることで、様々な分野でメニーコアの活用による情報処理の高度化が期待されます。

■ 今後

トプシステムズ社は、SMYLEvideo(Gen-2)メニーコアを活用するためのソフトウェア開発環境として、VPPLコンパイラを販売します。尚、並列処理ソフトウェアの上位設計環境として、子会社であるCool Soft社より分散並列処理ソフトウェア開発支援ツール(CoolParallel SDE)を提供しています。

また、トプシステムズ社は、次世代人工知能に特有のMassive Dataflowな処理の高度な並列化を容易にするプログラミング言語の開発を進めており、データフロー型のメニーコアであるSMYLEvideo(Gen-2)アーキテクチャの活用により、ディープラーニングを初めとする高度な人工知能処理を高速に実行可能な画像認識

システムを実現していきます。

■ 商標について

記載されている製品名などの固有名詞は、各社の商標または登録商標です。

以上